

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-266786

(43)Date of publication of application : 24.10.1989

(51)Int.Cl.

H05K 1/09

H05K 3/06

H05K 3/24

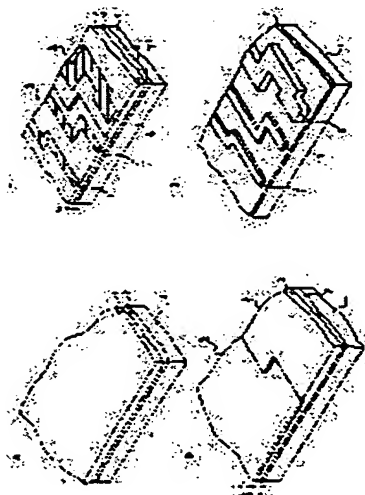
(21)Application number : 63-095252

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 18.04.1988

(72)Inventor : IGARASHI YUUSUKE

(54) CONSTRUCTION OF CONDUCTOR OF HYBRID INTEGRATED CIRCUIT AND ITS MANUFACTURE



(57)Abstract:

PURPOSE: To facilitate formation of a conductor with a large current capacity and reduction of the circuit size by forming conductors with different thicknesses, i.e. different current capacities, on the same substrate.

CONSTITUTION: A copper foil 3 is bonded to one of the main surfaces of a substrate 1 and the thickness of the copper foil 3 is made to be equal to the thickness(t) of a conductor 6 for a large current. Then the predetermined region of the copper foil 3 is, for instance, half-etched to make the thickness of that region equal to the thickness(t1) of a conductor 7 for a small current. Then, the conductor 6 for a large current is formed in the large current region 4 with the thickness(t) and the conductors 7 for small currents are formed in the small current region 5 with the thickness(t1) by etching. With this constitution, the difference in conductor width between the large current conductor and the small current conductor can be reduced and high density conductor patterns can be formed to cause a large current to flow to the conductor 6; further, the circuit size can be reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-266786

⑬ Int.Cl.

H 05 K 1/09
3/06
3/24

識別記号

庁内整理番号

C-8727-5E
A-6921-5E
A-6736-5E

⑭ 公開 平成1年(1989)10月24日

審査請求 未請求 請求項の数 10 (全5頁)

⑮ 発明の名称 混成集積回路の導体構造及びその製造方法

⑯ 特 願 昭63-95252

⑰ 出 願 昭63(1988)4月18日

⑱ 発 明 者 五十嵐 優 助 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁理士 西野 卓 爾 外1名

明 細 書

1. 発明の名称

混成集積回路の導体構造及びその製造方法

2. 特許請求の範囲

(1) 混成集積回路基板と、前記基板上に貼着された銅箔より形成された複数の導体を備え、電流容量の大きさに対応させ前記導体の膜厚を選択的に異ならしめたことを特徴とする混成集積回路の導体構造。

(2) 前記導体は前記基板上で前記電流容量の大きさによって区画されていることを特徴とする請求項1記載の混成集積回路の導体構造。

(3) 前記膜厚の異なる導体を大電流用及び小電流用に使い分けることを特徴とする請求項1記載の混成集積回路の導体構造。

(4) 混成集積回路基板の一面に所望膜厚の銅箔を貼着し、前記基板の所定領域で前記銅箔の膜厚を異ならせた後、前記膜厚の異なる夫々の前記銅箔を蝕刻して前記同一基板上に膜厚の異なる導体を選択的に形成することを特徴とする混成集積

回路の導体製造方法。

(5) 前記銅箔の所定領域を部分的にエッチングして前記銅箔の膜厚を異ならしめることを特徴とする請求項4記載の混成集積回路の導体製造方法。

(6) 前記蝕刻工程を少なくとも1回以上行うことを特徴とする請求項4記載の混成集積回路の導体製造方法。

(7) 前記蝕刻工程は前記導体の最大膜厚から次の膜厚表面まで行うことを特徴とする請求項6記載の混成集積回路の導体製造方法。

(8) 前記膜厚の異なる導体は前記基板上の所定領域で区画して形成することを特徴とする請求項4記載の混成集積回路の導体製造方法。

(9) 前記銅箔は接着性を有する絶縁樹脂で接着することを特徴とする請求項1及び4記載の混成集積回路の導体構造及びその製造方法。

(10) 前記混成集積回路基板は絶縁処理された金属基板であることを特徴とする請求項1及び4記載の混成集積回路の導体構造及びその製造方法。

法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

一本発明は同一基板上に大電流及び小電流用の導体が形成された混成集積回路の導体構造及びその製造方法に関する。

(ロ) 従来の技術

通常混成集積回路は基板上に所定の導体が形成され、その導体上に複数の半導体素子が固着されている。

また金属基板からなる混成集積回路において、同一基板上に銅箔を用いて電流容量の大きい導体パターンと電流容量の小さい導体パターンとを形成する場合は通常第3図に示す如く、導体(11)の幅の太さで電流容量の大小が区別されている(このときの銅箔の膜厚は一定である)。

(ハ) 発明が解決しようとする課題

同一基板上に電流容量の大きい導体と電流容量の小さい導体ブロックが必要の場合、電流容量大の導体を形成する時は、第3図に示す如く、銅箔

り、大小電流用の導体幅の差を小さくし高密度導体パターンを形成することが可能であり、従来と同様に大電流用の導体に大電流を流すことができる。

(ヘ) 実施例

以下に図面に示した実施例に基づいて本発明を詳細に説明する。

第1図Dは本発明の混成集積回路の導体構造を示す要部拡大斜視図であり、(1)は放熱性が優れ絶縁処理された金属性の基板、(6)(7)は銅箔より形成された大電流、小電流用の導体、(2)は基板(1)と銅箔とを接着させる接着性を有する絶縁樹脂層である。

次に本発明の混成集積回路の製造方法を説明する。

先ず第1図Aに示す如く、混成集積回路基板(1)を準備する。混成集積回路基板(1)としては金属、セラミックス、ガラエポ等の基板があるが、銅箔の発熱を容易に放熱することができる金属のアルミニウム基板を用いるものとする。そのアル

幅を広くする方法しかなく、基板の実装面積が小さくなると共に混成集積回路の小型化という点で問題がある。

また、電流容量の大きい導体を銅箔厚さを大にしてパターン面積を小さくしようとする銅箔厚さが一定であるので、電流容量の小さい導体ブロックでファインパターンを形成することが困難となり、やはり基板の実装面積が小さくなるという点で問題がある。

(ニ) 課題を解決するための手段

本発明は上述した問題点に鑑みて為されたものであり、第1図Dに示す如く、混成集積回路基板と、前記基板上に貼着された銅箔より形成された複数の導体を備え、電流容量の大きさに対応させ前記導体の膜厚を選択的に異ならしめて解決する。

(*) 作用

この様に本発明に依れば、大電流、小電流用に導体の膜厚を夫々異ならせ、即ち、大電流用の膜厚を厚く小電流用の膜厚を薄く形成することによ

ミニウム基板(1)の表面は周知技術である陽極酸化によって絶縁処理をする。その混成集積回路基板(1)の一主面に所望厚の銅箔(3)を貼着する。銅箔(3)は接着性を有するエポキシ樹脂等の絶縁樹脂層(2)を介して基板(1)に貼着される。このとき銅箔(3)の膜厚は大電流用の導体の膜厚と同一にする。

次に第1図Bに示す如く、銅箔(3)の所定領域で銅箔(3)の膜厚を異ならせる。銅箔(3)の膜厚を異ならすことで膜厚の厚い領域を大電流用、薄い領域を小電流用に用いる。即ち、大電流用の導体が形成される領域にエッチングレジストを塗布し、小電流用の導体が形成される領域のみを部分的にハーフエッチングする。小電流用導体が形成される領域の部分的エッチングの深さは小電流用の導体となるその表面まで行う。即ち、パターン設計で大、小電流用導体の膜厚 t_1 、 t_2 が夫々設定されるのでその差 $(t_1 - t_2)$ 分だけエッチングすればよい。

本実施例では大電流用、小電流用の領域(4)(5)

に区画して説明するが、別に大小電流用の導体領域を区画する必要はなくランダムに形成することも可能である。

次に第1図Cに示す如く、大小電流領域(4)(5)の膜厚の異なった銅箔(3)上に感光性レジストをスプレー方式、ディップ及びロールコート方式等を用いて塗布し、大電流、小電流用の導体(6)(7)の所望パターンに露光・現像する(斜線領域部分)。

次に第1図Dに示す如く、銅箔(3)をエッチングすると、膜厚 t_1 の大電流領域(4)に大電流用の導体(6)が、膜厚 t_2 の小電流領域(5)に小電流用の導体(7)が形成される。

図示しないが一方の膜厚の厚い導体上にはパワートランジスタIC及びLSIチップ等の発熱を有する半導体素子が固着され、他方の膜厚の薄い導体上にはチップコンデンサ、チップ抵抗、及び小信号用トランジスタ等の発熱性のない半導体素子が固着される。

上述した製造方法は夫々の導体(6)(7)の膜厚差があまりない場合において有効であるが、大小電

流用と夫々の導体(6)(7)の膜厚差が著しく異なる場合には適応しない。以下に膜厚差が著しく異なる場合の製造方法を説明する。

基板の上に銅箔を貼着するまでは上述と同様であり説明は省略する。

第2図Aに示す如く、基板(1)上には絶縁樹脂層(2)を介して所望の膜厚の銅箔(3)が貼着されている。この銅箔(3)の膜厚 t は大電流用導体の膜厚に設定しておく。基板(1)上に銅箔(3)を貼着した後、銅箔(3)全面にエッチング用のホトレジストを塗布し、大電流用導体パターンに露光・現像する。すると大電流用導体上のみにレジストが残される(斜線領域)。

次に第2図Bに示す如く、銅箔(3)をエッチングする。このときのエッチング深さは小電流用導体の表面、即ち、膜厚 t_2 になるまで行う。その後、再度銅箔(3)全面にエッチング用のホトレジストを塗布し、小電流用導体及び大電流用導体(6)のパターンに露光・現像し、第2図Cに示す如く、小電流用導体(7)となる領域と大電流用導

体(6)上のみにレジストを残した後(斜線部分)、露出した銅箔の膜厚 t_2 をエッチング除去すれば第2図Dに示す如く、大小電流容量の夫々の導体(6)(7)差が著しい場合においても同一基板(1)上に電流容量の異なる導体を形成することができる。尚、ホトレジストを大電流用導体(6)上に塗布する場合、最初のレジストは除去しておく方が好ましい。

上述した蝕刻工程をくり返して行えば同一基板上に大、中及び小電流用の導体、即ち、電流容量の多動化に対応した導体を形成することも可能である。

斯る本発明に依れば、同一基板上に選択して電流容量の異なる導体を形成することができるので、基板の大きさを変更せずにより大きさの異なった電流容量の導体を形成することができる。

(1) 発明の効果

以上に詳述した如く、本発明に依れば、同一基板上に膜厚の異なる導体即ち、電流容量の異なる導体を形成することができるため、従来と同一基

板上で電流容量の大きい導体形成することができ、混成集積回路の小型化を容易にすることができる。

また本発明では従来の製造工程をそのまま用いて製造することができる利点を有する。

4. 図面の簡単な説明

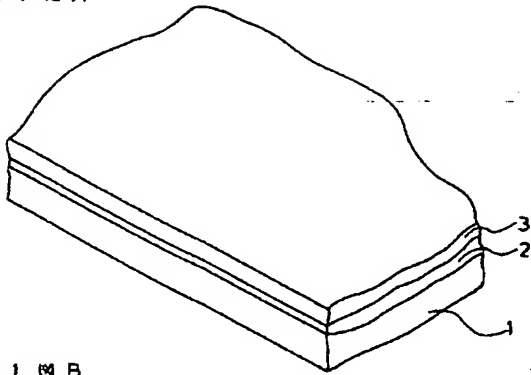
第1図A乃至第1図Dは本発明の混成集積回路の導体の製造方法を示す斜視図、第2図A乃至第2図Dは他の製造方法を示す斜視図、第3図は従来例を示す斜視図である。

(1)…混成集積回路基板、(2)…絶縁樹脂層、(3)…銅箔、(4)(5)…大小電流領域、(6)(7)…導体。

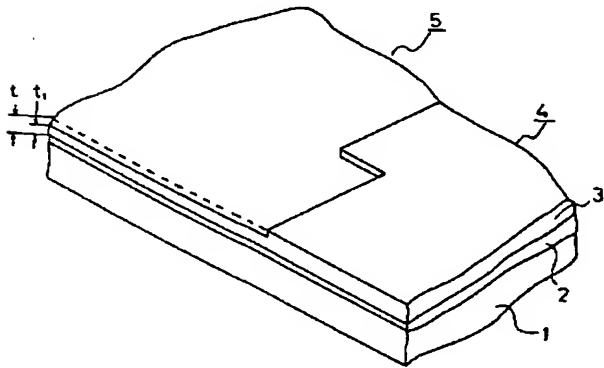
出願人 三洋電機株式会社

代理人 弁理士 西野卓朗 外1名

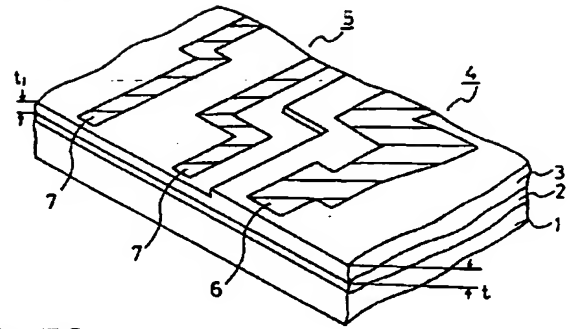
第 1 圖 A



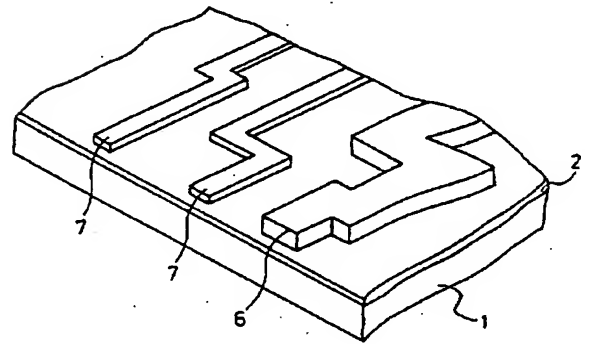
第 1 圖 B



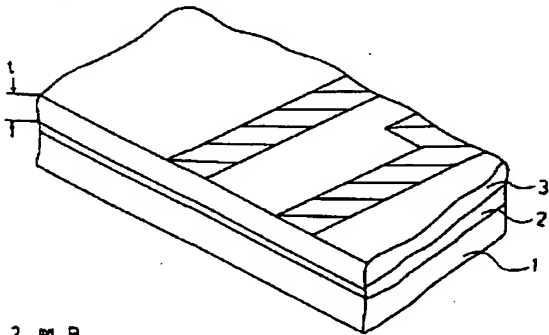
第 1 圖 C



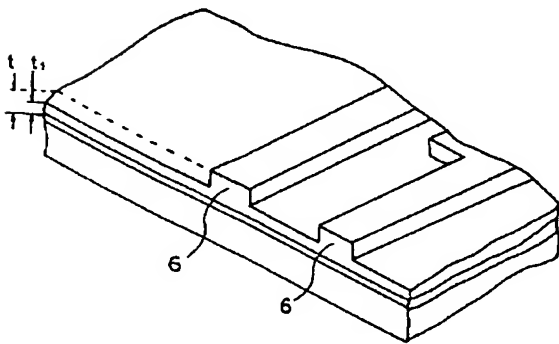
第 1 圖 D



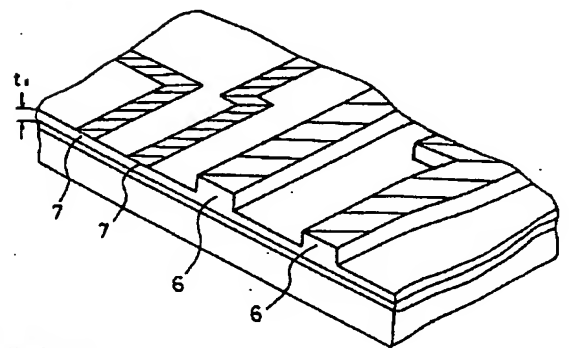
第 2 圖 A



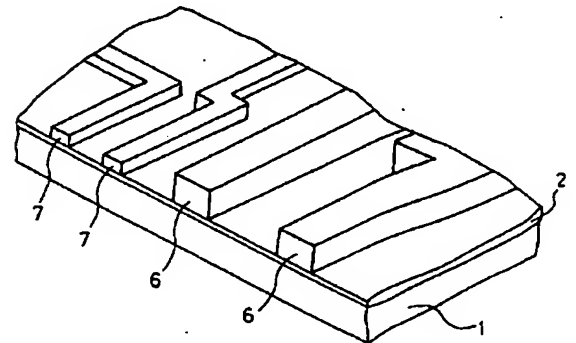
第 2 圖 B



第 2 圖 C



第 2 圖 D



第 3 圖

